

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-043566

(43)Date of publication of application : 08.02.2002

(51)Int.Cl.

H01L 29/78
H01L 21/28
H01L 21/8238
H01L 27/092
H01L 29/43

(21)Application number : 2000-226559

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 27.07.2000

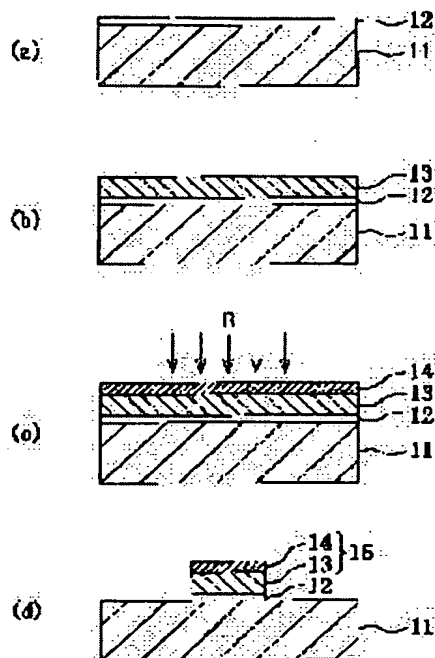
(72)Inventor : KUBO HIROKO
YONEDA KENJI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent an impurity doped into a gate electrode from infiltrating to a semiconductor substrate.

SOLUTION: After a gate insulating film 12 is formed on a silicon substrate 11, an SiGe layer 13 is film-formed on the gate insulating film 12, and then an Si layer 14 is film-formed on the SiGe layer 13 as amorphous. After a boron is ion-implanted into the SiGe layer 13 through the Si layer 14 in amorphous, the SiGe layer 13 and the Si layer 14 are patterned to form a gate electrode 15.



LEGAL STATUS

[Date of request for examination]

15.07.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-43566

(P2002-43566A)

(43) 公開日 平成14年2月8日 (2002.2.8)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)	
H 0 1 L 29/78		H 0 1 L 21/28	3 0 1 A	4 M 1 0 4
21/28	3 0 1	29/78	3 0 1 G	5 F 0 4 0
21/8238		27/08	3 2 1 D	5 F 0 4 8
27/092		29/62	G	
29/43				

審査請求 未請求 請求項の数24 O L (全 18 頁)

(21) 出願番号 特願2000-226559 (P2000-226559)

(22) 出願日 平成12年7月27日 (2000.7.27)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 久保 裕子

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(72) 発明者 米田 健司

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(74) 代理人 100077931

弁理士 前田 弘 (外7名)

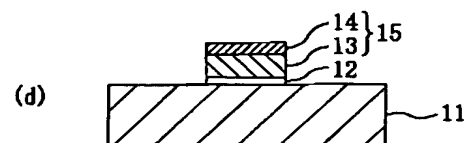
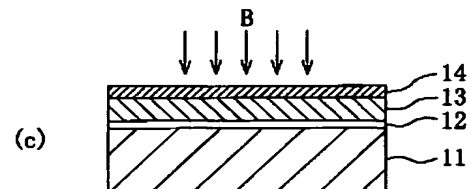
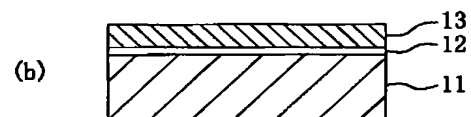
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 ゲート電極にドーパされた不純物が半導体基板にしみ出す事態を防止できるようにする。

【解決手段】 シリコン基板11上にゲート絶縁膜12を形成した後、ゲート絶縁膜12上にSiGe層13を成膜し、その後、SiGe層13上にSi層14をアモルファス状態で成膜する。アモルファス状態のSi層14を介してSiGe層13にボロンをイオン注入した後、SiGe層13及びSi層14をパターン化してゲート電極15を形成する。



【特許請求の範囲】

【請求項 1】 半導体基板上にゲート絶縁膜を介して形成されたゲート電極を備え、

前記ゲート電極は、シリコンゲルマニウム層と、該シリコンゲルマニウム層の上に形成された上部シリコン層とを有することを特徴とする半導体装置。

【請求項 2】 前記ゲート電極は、前記シリコンゲルマニウム層の下に形成された下部シリコン層をさらに有していることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記ゲート電極は、前記上部シリコン層の上に形成された金属層をさらに有しており、前記ゲート電極の上にシリコン窒化膜が形成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】 前記ゲート電極と前記シリコン窒化膜との間に絶縁層が形成されていることを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】 半導体基板上にゲート絶縁膜を介して形成されたゲート電極を備え、

前記ゲート電極は、アモルファス状態で成膜されたシリコンゲルマニウム層を有することを特徴とする半導体装置。

【請求項 6】 前記ゲート電極は、前記シリコンゲルマニウム層の上に形成された金属層をさらに有しており、前記ゲート電極の上にシリコン窒化膜が形成されていることを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】 前記ゲート電極と前記シリコン窒化膜との間に絶縁層が形成されていることを特徴とする請求項 6 に記載の半導体装置。

【請求項 8】 前記シリコンゲルマニウム層の下面近傍部分におけるゲルマニウムの濃度は、前記シリコンゲルマニウム層の下面近傍部分以外の他の部分におけるゲルマニウムの濃度と比べて低いことを特徴とする請求項 1 又は 5 に記載の半導体装置。

【請求項 9】 前記シリコンゲルマニウム層はボロン又はリンを含むことを特徴とする請求項 1 又は 5 に記載の半導体装置。

【請求項 10】 前記ゲート電極の上に絶縁層を介してシリコン窒化膜が形成されていることを特徴とする請求項 1 又は 5 に記載の半導体装置。

【請求項 11】 前記ゲート電極は、デュアルゲートを有する MOS トランジスタの少なくとも 1 つのゲート電極を構成することを特徴とする請求項 1 又は 5 に記載の半導体装置。

【請求項 12】 半導体基板上にゲート絶縁膜を介してシリコンゲルマニウム層を成膜する工程と、前記シリコンゲルマニウム層の上にアモルファス状態で上部シリコン層を成膜する工程と、前記シリコンゲルマニウム層及び上部シリコン層をパターン化してゲート電極を形成する工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項 13】 前記シリコンゲルマニウム層を成膜する工程の前に、前記ゲート絶縁膜の上に下部シリコン層を成膜する工程をさらに備えており、

前記ゲート電極を形成する工程は、前記下部シリコン層をパターン化する工程を含むことを特徴とする請求項 12 に記載の半導体装置の製造方法。

【請求項 14】 前記上部シリコン層を成膜する工程と前記ゲート電極を形成する工程との間に、前記上部シリコン層の上に金属層及びシリコン窒化膜を順次形成する工程をさらに備えており、

前記ゲート電極を形成する工程は、前記シリコン窒化膜をパターン化した後、パターン化された前記シリコン窒化膜をマスクとして前記金属層をパターン化する工程を含むことを特徴とする請求項 12 に記載の半導体装置の製造方法。

【請求項 15】 前記金属層及びシリコン窒化膜を順次形成する工程は、前記金属層と前記シリコン窒化膜との間に絶縁層を形成する工程を含むことを特徴とする請求項 14 に記載の半導体装置の製造方法。

【請求項 16】 半導体基板上にゲート絶縁膜を介してアモルファス状態でシリコンゲルマニウム層を成膜する工程と、

前記シリコンゲルマニウム層をパターン化してゲート電極を形成する工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項 17】 前記シリコンゲルマニウム層を成膜する工程と前記ゲート電極を形成する工程との間に、前記シリコンゲルマニウム層の上に金属層及びシリコン窒化膜を順次形成する工程をさらに備えており、

前記ゲート電極を形成する工程は、前記シリコン窒化膜をパターン化した後、パターン化された前記シリコン窒化膜をマスクとして前記金属層をパターン化する工程を含むことを特徴とする請求項 16 に記載の半導体装置の製造方法。

【請求項 18】 前記金属層及びシリコン窒化膜を順次形成する工程は、前記金属層と前記シリコン窒化膜との間に絶縁層を形成する工程を含むことを特徴とする請求項 17 に記載の半導体装置の製造方法。

【請求項 19】 前記シリコンゲルマニウム層を成膜する工程は、シリコンを含む第 1 のソースガス及びゲルマニウムを含む第 2 のソースガスを用いると共に、前記第 1 のソースガスと前記第 2 のソースガスとの混合比率を経時変化させることによって、前記シリコンゲルマニウム層の下面近傍部分におけるゲルマニウムの濃度を、前記シリコンゲルマニウム層の下面近傍部分以外の他の部分におけるゲルマニウムの濃度と比べて低くする工程を含むことを特徴とする請求項 12 又は 16 に記載の半導体装置の製造方法。

【請求項 20】 前記シリコンゲルマニウム層はボロン又はリンを含むことを特徴とする請求項 12 又は 16 に

記載の半導体装置の製造方法。

【請求項 2 1】 前記シリコンゲルマニウム層にボロン又はリンをイオン注入する工程をさらに備えていることを特徴とする請求項 1 2 又は 1 6 に記載の半導体装置の製造方法。

【請求項 2 2】 前記シリコンゲルマニウム層を成膜する工程は、シリコンを含むガス、ゲルマニウムを含むガス、及びボロン又はリンを含むガスを用いて、ボロン又はリンを含む前記シリコンゲルマニウム層を成膜する工程を含むことを特徴とする請求項 1 2 又は 1 6 に記載の半導体装置の製造方法。

【請求項 2 3】 前記ゲート電極の上に絶縁層を介してシリコン窒化膜を形成する工程をさらに備えていることを特徴とする請求項 1 2 又は 1 6 に記載の半導体装置の製造方法。

【請求項 2 4】 前記ゲート電極は、デュアルゲートを有する MOS トランジスタの少なくとも 1 つのゲート電極を構成することを特徴とする請求項 1 2 又は 1 6 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ゲート電極を備えた半導体装置及びその製造方法に関する。

【0002】

【従来の技術】近年、半導体素子の微細化又は高集積化の急速な進展に伴って、デュアルゲート CMOS FET が広く利用されるようになってきた。

【0003】以下、従来の半導体装置について、デュアルゲート CMOS FET のうちの p チャネル MOS FET を例として、図 11 を参照しながら説明する。

【0004】図 11 に示すように、シリコンからなる半導体基板 1 上にゲート絶縁膜 2 を介して多結晶シリコンからなるゲート電極 3 が形成されている。ゲート電極 3 には、通常、不純物として例えばボロン (B) がイオン注入によりドーピングされている。このとき、ゲート電極 3 におけるボロンの濃度分布がゲート電極 3 の上面近傍部分にピークを持つと共にボロンがゲート絶縁膜 2 を通して半導体基板 1 に突き抜けることのないように、ゲート電極 3 となる多結晶シリコンに対するボロンのイオン注入は十分に低いエネルギーで行なわれる。

【0005】ところで、ゲート電極 3 となる多結晶シリコンにボロンを注入した後、該多結晶シリコンに対して熱処理が行なわれると、該多結晶シリコン中のボロンは半導体基板 1 に向かって拡散する。前記の熱処理の条件が不適切な場合、多結晶シリコン中のボロンはゲート絶縁膜 2 を通り抜けて半導体基板 1 にしみ出し、その結果、半導体基板 1 における不純物濃度が変化して素子特性が劣化してしまう。また、ポリメタルゲート電極を形成するための金属層を多結晶シリコン上に形成した後、ハードマスクとなるシリコン窒化膜を堆積して熱処理を

行なう場合、又は、サイドウォールとなるシリコン窒化膜をゲート電極 3 上に堆積して熱処理を行なう場合等には、半導体基板 1 へのボロンの著しいしみ出しが検出される。

【0006】そこで、半導体基板 1 へのボロンのしみ出しを抑制するために、ゲート絶縁膜 2 として、ボロンのしみ出し阻止能力を有するシリコン酸窒化膜を採用する等の工夫がなされている。

【0007】

10 【発明が解決しようとする課題】しかしながら、ゲート絶縁膜 2 としてシリコン酸窒化膜を用いた場合にも、ボロンのしみ出しを十分に抑制することはできず、特に、デバイスの高性能化に伴ってシリコン酸窒化膜が極薄化（例えば 3 nm 以下）した場合には、ボロンのしみ出し抑制効果はほとんど期待できなくなるという問題点があった。

【0008】前記に鑑み、本発明は、ゲート電極にドーピングされた不純物が半導体基板にしみ出す事態を防止できるようにすることを目的とする。

20 【0009】

【課題を解決するための手段】前記の目的を達成するため、本発明に係る第 1 の半導体装置は、半導体基板上にゲート絶縁膜を介して形成されたゲート電極を備え、ゲート電極は、シリコンゲルマニウム層と、該シリコンゲルマニウム層の上に形成された上部シリコン層とを有する。

30 【0010】第 1 の半導体装置によると、ゲート電極がシリコンゲルマニウム層と該シリコンゲルマニウム層上に形成された上部シリコン層とを有するため、ゲート電極にボロン等の不純物をドーピングする場合、上部シリコン層を介してシリコンゲルマニウム層に不純物をイオン注入することができる。このため、不純物の注入深さを十分に浅くすることができると共にチャネリングによる不純物の半導体基板に対する突き抜けを防止することができるので、ゲート電極にドーピングされた不純物が熱処理等により半導体基板にしみ出す事態を防止することができる。従って、半導体基板中の不純物濃度の変化に起因する素子特性の変動を抑制することができる。

40 【0011】また、第 1 の半導体装置によると、ゲート電極を構成するシリコンゲルマニウム層中のゲルマニウム濃度を調整してバンドギャップを変化させることにより、ゲート電極のしきい値電圧調整能力を向上させることができる。この場合、ゲート電極に不純物をドーピングする必要がなくなるので、ゲート電極から半導体基板への不純物のしみ出しに起因して素子特性が変動する事態を確実に回避することができる。

50 【0012】また、第 1 の半導体装置によると、シリコンゲルマニウム層が上部シリコン層により覆われているため、シリコンゲルマニウム層から飛び出たゲルマニウム原子によるクロスコンタミネーション（半導体基板又

はプロセス装置の汚染)を防止できるので、シリコン層からなるゲート電極を製造するためのプロセスを利用することができる。

【0013】第1の半導体装置において、ゲート電極は、シリコンゲルマニウム層の下に形成された下部シリコン層をさらに有していることが好ましい。

【0014】このようにすると、ゲート電極におけるシリコンゲルマニウム層の下側に、シリコンゲルマニウム層よりも表面モフォロジーが良好な下部シリコン層が形成されているため、シリコンゲルマニウム層とゲート絶縁膜とが直接接する場合と比べて、ゲート絶縁膜の耐圧を向上させることができる。

【0015】第1の半導体装置において、ゲート電極は、上部シリコン層の上に形成された金属層をさらに有しており、ゲート電極の上にシリコン窒化膜が形成されていることが好ましい。

【0016】このようにすると、ゲート電極をポリメタルゲート電極として形成することができると共に、ゲート電極上にシリコン窒化膜が形成されていても、ゲート電極から半導体基板への不純物のしみ出しを防止することができる。

【0017】また、この場合、ゲート電極とシリコン窒化膜との間に絶縁層が形成されていることが好ましい。

【0018】このようにすると、絶縁層として例えばシリコン酸化膜を用いることにより、ゲート電極から半導体基板への不純物のしみ出しをより確実に防止することができる。

【0019】本発明に係る第2の半導体装置は、半導体基板上にゲート絶縁膜を介して形成されたゲート電極を備え、ゲート電極は、アモルファス状態で成膜されたシリコンゲルマニウム層を有する。

【0020】第2の半導体装置によると、ゲート電極がアモルファス状態で成膜されたシリコンゲルマニウム層を有するため、ゲート電極にボロン等の不純物をドーピングする場合、アモルファス状態のシリコンゲルマニウム層に不純物をイオン注入することができる。このため、不純物の注入深さを十分に浅くすることができると共にチャネリングによる不純物の半導体基板に対する突き抜けを防止することができるので、ゲート電極にドーピングされた不純物が熱処理等により半導体基板にしみ出す事態を防止することができる。従って、半導体基板中の不純物濃度の変化に起因する素子特性の変動を抑制することができる。

【0021】また、第2の半導体装置によると、ゲート電極を構成するシリコンゲルマニウム層中のゲルマニウム濃度を調整してバンドギャップを変化させることにより、ゲート電極のしきい値電圧調整能力を向上させることができる。この場合、ゲート電極に不純物をドーピングする必要がなくなるので、ゲート電極から半導体基板への不純物のしみ出しに起因して素子特性が変動する事態を

確実に回避することができる。

【0022】また、第2の半導体装置によると、ゲート電極を構成するシリコンゲルマニウム層は多結晶状態のときよりもアモルファス状態のときの方が表面モフォロジーが良好になるので、シリコンゲルマニウム層におけるゲート絶縁膜との界面近傍の表面モフォロジーが良好になる結果、ゲート絶縁膜の耐圧が向上する。

【0023】また、第2の半導体装置によると、ゲート電極をシリコンゲルマニウム層のみにより構成することができるため、積層構造を有するゲート電極を形成する場合と比べて工程を簡単にすることができると共に、ゲート電極の膜厚を例えば100nm以下に薄膜化することができる。

【0024】第2の半導体装置において、ゲート電極は、シリコンゲルマニウム層の上に形成された金属層をさらに有しており、ゲート電極の上にシリコン窒化膜が形成されていることが好ましい。

【0025】このようにすると、ゲート電極をポリメタルゲート電極として形成することができると共に、ゲート電極上にシリコン窒化膜が形成されていても、ゲート電極から半導体基板への不純物のしみ出しを防止することができる。

【0026】また、この場合、ゲート電極とシリコン窒化膜との間に絶縁層が形成されていることが好ましい。

【0027】このようにすると、絶縁層として例えばシリコン酸化膜を用いることにより、ゲート電極から半導体基板への不純物のしみ出しをより確実に防止することができる。

【0028】第1又は第2の半導体装置において、シリコンゲルマニウム層の下面近傍部分におけるゲルマニウムの濃度は、シリコンゲルマニウム層の下面近傍部分以外の他の部分におけるゲルマニウムの濃度と比べて低いことが好ましい。

【0029】このようにすると、ゲート電極のしきい値電圧調整能力の劣化を抑制しつつ、ゲート絶縁膜の耐圧低下若しくは特性変動を防止することができる。

【0030】第1又は第2の半導体装置において、シリコンゲルマニウム層はボロン又はリンを含むことが好ましい。

【0031】このようにすると、ゲート電極のしきい値電圧調整能力を向上させることができる。また、シリコンゲルマニウム層がボロンを含む場合には、シリコンゲルマニウム層におけるボロンの活性化率が、通常のポリシリコン膜等におけるボロンの活性化率と比べて高いため、ボロンが半導体基板にしみ出す事態をより確実に防止することができる。

【0032】第1又は第2の半導体装置において、ゲート電極の上に絶縁層を介してシリコン窒化膜が形成されていることが好ましい。

【0033】このようにすると、ゲート電極上にシリコ

ン窒化膜が形成されていても、ゲート電極から半導体基板への不純物のしみ出しを防止することができる。

【0034】第1又は第2の半導体装置において、ゲート電極は、デュアルゲートを有するMOSトランジスタの少なくとも1つのゲート電極を構成することが好ましい。

【0035】このようにすると、デュアルゲートを有するMOSトランジスタつまりデュアルゲートCMOS FETのp+ゲート電極又はn+ゲート電極にドーパされた不純物が半導体基板にしみ出す事態を防止でき、それによって、半導体基板中の不純物濃度の変化に起因するデュアルゲートCMOS FETの特性の変動を抑制することができる。また、p+ゲート電極又はn+ゲート電極を構成するシリコンゲルマニウム層中のゲルマニウム濃度を調整してバンドギャップを変化させることにより、p+ゲート電極又はn+ゲート電極のしきい値電圧調整能力を向上させることができるので、p+ゲート電極又はn+ゲート電極に不純物をドーパする必要がなくなる。すなわち、p+ゲート電極又はn+ゲート電極を構成するシリコンゲルマニウム層におけるゲルマニウム濃度を調整するだけで、不純物の半導体基板に対する突き抜け又はしみ出しを防止しつつ、デュアルゲートCMOS FETを簡単に形成することができる。

【0036】本発明に係る第1の半導体装置の製造方法は、半導体基板上にゲート絶縁膜を介してシリコンゲルマニウム層を成膜する工程と、シリコンゲルマニウム層の上にアモルファス状態で上部シリコン層を成膜する工程と、シリコンゲルマニウム層及び上部シリコン層をパターン化してゲート電極を形成する工程とを備えている。

【0037】第1の半導体装置の製造方法によると、半導体基板上にゲート絶縁膜を介してシリコンゲルマニウム層及びアモルファス状態の上部シリコン層を順次成膜した後、シリコンゲルマニウム層及び上部シリコン層をパターン化してゲート電極を形成するため、ゲート電極にボロン等の不純物をドーパする場合、アモルファス状態の上部シリコン層を介してシリコンゲルマニウム層に不純物をイオン注入することができる。このため、不純物の注入深さを十分に浅くすることができると共にチャネリングによる不純物の半導体基板に対する突き抜けを防止することができるので、ゲート電極にドーパされた不純物が熱処理等により半導体基板にしみ出す事態を防止することができる。従って、半導体基板中の不純物濃度の変化に起因する素子特性の変動を抑制することができる。

【0038】また、第1の半導体装置の製造方法によると、ゲート電極を構成するシリコンゲルマニウム層中のゲルマニウム濃度を調整してバンドギャップを変化させることにより、ゲート電極のしきい値電圧調整能力を向上させることができる。この場合、ゲート電極に不純物

をドーパする必要がなくなるので、ゲート電極から半導体基板への不純物のしみ出しに起因して素子特性が変動する事態を確実に回避することができる。

【0039】また、第1の半導体装置の製造方法によると、シリコンゲルマニウム層を上部シリコン層により覆うため、シリコンゲルマニウム層から飛び出たゲルマニウム原子によるクロスコンタミネーションを防止できるので、シリコン層からなるゲート電極を製造するためのプロセスを利用することができる。

10 【0040】第1の半導体装置の製造方法において、シリコンゲルマニウム層を成膜する工程の前に、ゲート絶縁膜の上に下部シリコン層を成膜する工程をさらに備えており、ゲート電極を形成する工程は、下部シリコン層をパターン化する工程を含むことが好ましい。

【0041】このようにすると、ゲート電極におけるシリコンゲルマニウム層の下側に、シリコンゲルマニウム層よりも表面モフォロジーが良好な下部シリコン層が形成されるため、シリコンゲルマニウム層とゲート絶縁膜とが直接接する場合と比べて、ゲート絶縁膜の耐圧を向上させることができる。

【0042】第1の半導体装置の製造方法において、上部シリコン層を成膜する工程とゲート電極を形成する工程との間に、上部シリコン層の上に金属層及びシリコン窒化膜を順次形成する工程をさらに備えており、ゲート電極を形成する工程は、シリコン窒化膜をパターン化した後、パターン化されたシリコン窒化膜をマスクとして金属層をパターン化する工程を含むことが好ましい。

【0043】このようにすると、ゲート電極をポリメタルゲート電極として形成することができると共に、ゲート電極上にシリコン窒化膜が形成されていても、ゲート電極から半導体基板への不純物のしみ出しを防止することができる。

【0044】また、この場合、金属層及びシリコン窒化膜を順次形成する工程は、金属層とシリコン窒化膜との間に絶縁層を形成する工程を含むことが好ましい。

【0045】このようにすると、絶縁層として例えばシリコン酸化膜を用いることにより、ゲート電極から半導体基板への不純物のしみ出しをより確実に防止することができる。

40 【0046】本発明に係る第2の半導体装置の製造方法は、半導体基板上にゲート絶縁膜を介してアモルファス状態でシリコンゲルマニウム層を成膜する工程と、シリコンゲルマニウム層をパターン化してゲート電極を形成する工程とを備えている。

【0047】第2の半導体装置の製造方法によると、半導体基板上にゲート絶縁膜を介してアモルファス状態のシリコンゲルマニウム層を成膜した後、シリコンゲルマニウム層をパターン化してゲート電極を形成するため、ゲート電極にボロン等の不純物をドーパする場合、アモルファス状態のシリコンゲルマニウム層に不純物をイオ

ン注入することができる。このため、不純物の注入深さを十分に浅くできると共にチャネリングによる不純物の半導体基板に対する突き抜けを防止することができるので、ゲート電極にドーブされた不純物が熱処理等により半導体基板にしみ出す事態を防止することができる。従って、半導体基板中の不純物濃度の変化に起因する素子特性の変動を抑制することができる。

【0048】また、第2の半導体装置の製造方法によると、ゲート電極を構成するシリコンゲルマニウム層中のゲルマニウム濃度を調整してバンドギャップを変化させることにより、ゲート電極のしきい値電圧調整能力を向上させることができる。この場合、ゲート電極に不純物をドーブする必要がなくなるので、ゲート電極から半導体基板への不純物のしみ出しに起因して素子特性が変動する事態を確実に回避することができる。

【0049】また、第2の半導体装置の製造方法によると、ゲート電極を構成するシリコンゲルマニウム層は多結晶状態のときよりもアモルファス状態のときの方が表面モフォロジーが良好になるので、シリコンゲルマニウム層におけるゲート絶縁膜との界面近傍の表面モフォロジーが良好になる結果、ゲート絶縁膜の耐圧が向上する。

【0050】また、第2の半導体装置の製造方法によると、ゲート電極をシリコンゲルマニウム層のみにより構成することができるため、積層構造を有するゲート電極を形成する場合と比べて工程を簡単にすることができると共に、ゲート電極の膜厚を例えば100nm以下に薄膜化することができる。

【0051】第2の半導体装置の製造方法において、シリコンゲルマニウム層を成膜する工程とゲート電極を形成する工程との間に、シリコンゲルマニウム層の上に金属層及びシリコン窒化膜を順次形成する工程をさらに備えており、ゲート電極を形成する工程は、シリコン窒化膜をパターン化した後、パターン化されたシリコン窒化膜をマスクとして金属層をパターン化する工程を含むことが好ましい。

【0052】このようにすると、ゲート電極をポリメタルゲート電極として形成できると共に、ゲート電極上にシリコン窒化膜が形成されていても、ゲート電極から半導体基板への不純物のしみ出しを防止することができる。

【0053】また、この場合、金属層及びシリコン窒化膜を順次形成する工程は、金属層とシリコン窒化膜との間に絶縁層を形成する工程を含むことが好ましい。

【0054】このようにすると、絶縁層として例えばシリコン酸化膜を用いることにより、ゲート電極から半導体基板への不純物のしみ出しをより確実に防止することができる。

【0055】第1又は第2の半導体装置の製造方法において、シリコンゲルマニウム層を形成する工程は、シリ

コンを含む第1のソースガス及びゲルマニウムを含む第2のソースガスを用いると共に、第1のソースガスと第2のソースガスとの混合比率を経時変化させることによって、シリコンゲルマニウム層の下面近傍部分におけるゲルマニウムの濃度を、シリコンゲルマニウム層の下面近傍部分以外の他の部分におけるゲルマニウムの濃度と比べて低くする工程を含むことが好ましい。

【0056】このようにすると、ゲート電極のしきい値電圧調整能力の劣化を抑制しつつ、ゲート絶縁膜の耐圧低下若しくは特性変動を防止することができる。

【0057】第1又は第2の半導体装置の製造方法において、シリコンゲルマニウム層はボロン又はリンを含むことが好ましい。

【0058】このようにすると、ゲート電極のしきい値電圧調整能力を向上させることができる。また、シリコンゲルマニウム層がボロンを含む場合には、シリコンゲルマニウム層におけるボロンの活性化率が、通常のポリシリコン膜等におけるボロンの活性化率と比べて高いため、ボロンが半導体基板にしみ出す事態をより確実に防止することができる。

【0059】第1又は第2の半導体装置の製造方法において、シリコンゲルマニウム層にボロン又はリンをイオン注入する工程をさらに備えていることが好ましい。

【0060】このようにすると、シリコンゲルマニウム層にボロン又はリンを確実にドーブすることができる。

【0061】第1又は第2の半導体装置の製造方法において、シリコンゲルマニウム層を成膜する工程は、シリコンを含むガス、ゲルマニウムを含むガス、及びボロン又はリンを含むガスを用いて、ボロン又はリンを含むシリコンゲルマニウム層を成膜する工程を含むことが好ましい。

【0062】このようにすると、シリコンゲルマニウム層にボロン又はリンを確実にドーブすることができる。また、イオン注入を用いることなくシリコンゲルマニウム層にボロン又はリンをドーブできるので、チャネリングによるボロン又はリンの半導体基板に対する突き抜けが生じない。従って、ボロン又はリンの注入後に行なわれる熱処理等によってボロン又はリンが半導体基板にしみ出す事態をより確実に防止することができる。

【0063】第1又は第2の半導体装置の製造方法において、ゲート電極の上に絶縁層を介してシリコン窒化膜を形成する工程をさらに備えていることが好ましい。

【0064】このようにすると、ゲート電極上にシリコン窒化膜が形成されていても、ゲート電極から半導体基板への不純物のしみ出しを防止することができる。

【0065】第1又は第2の半導体装置の製造方法において、ゲート電極は、デュアルゲートを有するMOSトランジスタの少なくとも1つのゲート電極を構成することが好ましい。

【0066】このようにすると、デュアルゲートを有す

るMOSトランジスタつまりデュアルゲートCMOS FETのp+ゲート電極又はn+ゲート電極にドーパされた不純物が半導体基板にしみ出す事態を防止でき、それによって、半導体基板中の不純物濃度の変化に起因するデュアルゲートCMOS FETの特性の変動を抑制することができる。また、p+ゲート電極又はn+ゲート電極を構成するシリコンゲルマニウム層中のゲルマニウム濃度を調整してバンドギャップを変化させることにより、p+ゲート電極又はn+ゲート電極のしきい値電圧調整能力を向上させることができるので、p+ゲート電極又はn+ゲート電極に不純物をドーパする必要がなくなる。すなわち、p+ゲート電極又はn+ゲート電極を構成するシリコンゲルマニウム層におけるゲルマニウム濃度を調整するだけで、不純物の半導体基板に対する突き抜け又はしみ出しを防止しつつ、デュアルゲートCMOS FETを簡単に形成することができる。

【0067】

【発明の実施の形態】（第1の実施形態）以下、本発明の第1の実施形態に係る半導体装置及びその製造方法について、図面を参照しながら説明する。

【0068】図1(a)～(d)は第1の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【0069】まず、図1(a)に示すように、一導電型のシリコン基板11上に例えば膜厚3nm程度のゲート絶縁膜12を形成する。

【0070】次に、シリコンを含むソースガス（以下、Si供給源ガスと称する）とゲルマニウムを含むソースガス（以下、Ge供給源ガスと称する）とを600℃程度以下で用いたLPCVD（low-pressure Chemical Vapor Deposition）法により、図1(b)に示すように、ゲート絶縁膜12上に例えば膜厚100nmのシリコンゲルマニウム層（以下、SiGe層と称する）13を成膜する。

【0071】尚、Si供給源ガスとしてはSiH₄（モノシラン）又はSi₂H₆（ジシラン）等を用いることができる。また、Ge供給源ガスとしてはGeH₄等を用いることができる。このとき、Si供給源ガスとGe供給源ガスとの混合比率を変化させることによって、SiGe層13中のGe濃度（質量%濃度：以下同じ）を調整することが可能である。例えば、SiH₄とGeH₄とのガス流量比を1：5とすることによって、Ge濃度が約50%のSiGe層13を得ることが可能である。

【0072】次に、図1(c)に示すように、Si供給源ガスを500℃程度で用いたLPCVD法により、SiGe層13上に例えば膜厚40nmのシリコン層（以下、Si層と称する）14をアモルファス状態で成膜する。このとき、Si層14の堆積を、SiGe層13の堆積と同一のチャンバーでソースガス等を変化させて連続的に行なってもよいし、Si層14の堆積とSiGe層13の堆積とを互いに異なるチャンバーで連続的に

なってもよいし、又は、Si層14の堆積とSiGe層13の堆積とを互いに異なるチャンバーでそれぞれ完全に独立した工程として行なってもよい。

【0073】その後、図1(c)に示すように、例えば注入エネルギー5keV、ドーズ量 $1 \times 10^{15} / \text{cm}^2$ でボロンをSiGe層13にイオン注入する。

【0074】次に、ゲート電極形成領域を覆うマスクパターン（図示省略）を用いてSi層14、SiGe層13及びゲート絶縁膜12に対して順次エッチングを行なうことにより、図1(d)に示すように、シリコン基板11上にゲート絶縁膜12を介して、SiGe層13及びSi層14からなるゲート電極15を形成する。

【0075】尚、第1の実施形態においては、Si層14の形成後、SiGe層13へのボロン注入が終了するまでは、熱処理を伴う工程を行なわないことによって、Si層14をアモルファス状態に保つようにする。これにより、SiGe層13に注入されるボロンがシリコン基板11に突き抜けたり又は該ボロンの注入深さが深くなる事態を防止することができる。但し、SiGe層13へのボロン注入が終了した後は、例えば、ゲート電極15上に層間絶縁膜を堆積する工程等に伴う熱処理によって、Si層14は最終的には多結晶状態に変化する。

【0076】以上に説明したように、第1の実施形態によると、シリコン基板11上にゲート絶縁膜12を介してSiGe層13及びアモルファス状態のSi層14を順次成膜した後、SiGe層13にボロンをイオン注入し、その後、SiGe層13及びSi層14をパターン化してゲート電極15を形成する。このため、アモルファス状態のSi層14を介してSiGe層13にボロンがイオン注入されるので、ボロンの注入深さを十分に浅くすることができると共にチャネリングによるボロンのシリコン基板11に対する突き抜けを防止することができる。従って、ゲート電極15を構成するSiGe層13にドーパされたボロンが熱処理等によりシリコン基板11にしみ出す事態を防止でき、それによって、シリコン基板11中の不純物濃度の変化に起因する素子特性の変動を抑制することができる。

【0077】図2は、SiGe層13の膜厚の変化に伴うゲート電極15のフラットバンド電圧（以下、Vfbと称する）の変化の様子を示す図である。尚、図2に示すデータは、ゲート絶縁膜12の膜厚が3nm程度、SiGe層13中のGe濃度が20%程度、ボロンをイオン注入するときの注入エネルギーが5keV程度である場合に得られたものである。また、図2において、Si層14の膜厚が20nmのときのVfbの変化の様子を黒丸及び実線で表しており、Si層14の膜厚が30nmのときのVfbの変化の様子を黒四角及び一点鎖線で表しており、Si層14の膜厚が40nmのときのVfbの変化の様子を白三角及び破線で表している。

【0078】図2に示すように、Si層14の膜厚が2

0 nm の場合、SiGe 層の膜厚が 75 nm で V_{fb} が 0.598 V であり、SiGe 層の膜厚が 100 nm で V_{fb} が 0.217 V であり、SiGe 層の膜厚が 125 nm で V_{fb} が 0.079 V である。また、Si 層 14 の膜厚が 30 nm の場合、SiGe 層の膜厚が 50 nm で V_{fb} が 0.683 V であり、SiGe 層の膜厚が 75 nm で V_{fb} が 0.282 V であり、SiGe 層の膜厚が 125 nm で V_{fb} が 0.062 V である。また、Si 層 14 の膜厚が 40 nm の場合、SiGe 層の膜厚が 50 nm で V_{fb} が 0.201 V であり、SiGe 層の膜厚が 75 nm で V_{fb} が 0.121 V であり、SiGe 層の膜厚が 100 nm で V_{fb} が 0.074 V であり、SiGe 層の膜厚が 125 nm で V_{fb} が 0.054 V である。 V_{fb} が小さいほど、ボロンのしみ出しが少ないことを意味しているため、SiGe 層の膜厚が 80 nm 程度の場合、Si 層 14 の膜厚を 30 nm 程度以上にすることによって、ボロンがシリコン基板 11 にしみ出す事態を十分に防止することができる。

【0079】また、第 1 の実施形態によると、ゲート電極 15 を構成する SiGe 層 13 にボロンをドーピングするので、ゲート電極 15 のしきい値電圧（以下、 V_t と称する）調整能力を向上させることができる。

【0080】また、第 1 の実施形態によると、SiGe 層 13 におけるボロンの活性化率が、通常のポリシリコン膜等におけるボロンの活性化率と比べて高いため、ボロンがシリコン基板 11 にしみ出す事態をより確実に防止することができる。

【0081】また、第 1 の実施形態によると、SiGe 層 13 が Si 層 14 により覆われているため、SiGe 層 13 から飛び出た Ge 原子によるクロスコンタミネーションを防止できるので、Si 層からなるゲート電極を製造するためのプロセス（以下、Si プロセスと称する）を利用することができる。

【0082】尚、第 1 の実施形態において、SiGe 層 13 にボロンをイオン注入したが、これに代えて、リン（p）をイオン注入（例えば注入エネルギー 10 keV、ドーズ量 $5 \times 10^{15} / \text{cm}^2$ ）してもよいし、又はボロン及びリンをイオン注入してもよい。また、SiGe 層 13 の成膜後にイオン注入を用いて SiGe 層 13 にボロン又はリン等をドーピングする代わりに、SiGe 層 13 の成膜時に Si 供給源ガス及び Ge 供給源ガスと共にボロン若しくはリン等を含むガス（例えば B_2H_6 等）を用いてボロン若しくはリン等を含む SiGe 層 13 を成膜してもよいし、又は、SiGe 層 13 の成膜後に例えば PH_3 （フォスフィン）等の熱拡散を用いてボロン若しくはリン等を SiGe 層 13 にドーピングしてもよい。

【0083】また、第 1 の実施形態において、SiGe 層 13 に対するボロン等のドーピングを省略してもよい。具体的には、ゲート電極 15 を構成する SiGe 層 13 中

の Ge 濃度を調整することによりバンドギャップを変化させることができるため、SiGe 層 13 に対してボロン等のドーピングを行なうことなく、ゲート電極 15 の V_t 調整能力を向上させることができる。その結果、本実施形態をデュアルゲートの形成に応用する場合にも、ボロン等の不純物のしみ出しを懸念する必要がない。また、Si 層 14 をアモルファス状態で成膜する必要がなくなり、又はボロン等の不純物注入が終了するまで Si 層 14 をアモルファス状態に保つ必要がなくなる。

10 【0084】また、第 1 の実施形態において、Si 供給源ガスと Ge 供給源ガスとを 500℃ 程度以下で用いた LPCVD 法により、SiGe 層 13 をアモルファス状態で成膜することが好ましい。このようにすると、ボロンがシリコン基板 11 にしみ出す事態をより確実に防止することができる。

【0085】（第 1 の実施形態の変形例）以下、本発明の第 1 の実施形態の変形例に係る半導体装置及びその製造方法について、図面を参照しながら説明する。

20 【0086】第 1 の実施形態の変形例に係る半導体装置の製造方法が第 1 の実施形態と異なっている点は、SiGe 層 13 を成膜する工程（図 1（b）参照）において、Si 供給源ガスと Ge 供給源ガスとの混合比率を経時変化させることによって、SiGe 層 13 中の Ge 濃度を深さ方向に変化させることである。

30 【0087】具体的には、SiGe 層 13 の成膜初期においては Ge 供給源ガスの比率を 0 又は低くすることにより、SiGe 層 13 の下面近傍部分（SiGe 層 13 におけるゲート絶縁膜 12 との界面近傍部分）での Ge 濃度を例えば 10% 程度にする一方、SiGe 層 13 の成膜に伴って Ge 供給源ガスの比率を高くすることにより、SiGe 層 13 の上面近傍部分での Ge 濃度を例えば 70% 程度にする。

40 【0088】このようにすると、Ge 濃度の低下に伴って SiGe 層 13 の表面モフォロジーが良好になるため、ゲート絶縁膜 12 と SiGe 層 13 との界面に凹凸を生じることがないので、言い換えると、該界面に電界集中が発生することがないので、ゲート絶縁膜 12 の耐圧の低下を防止することができる。また、SiGe 層 13 の成膜初期においてゲート絶縁膜 12 が高濃度の Ge 供給源ガスにさらされる事態を回避できるので、ゲート絶縁膜 12 の特性変動を防止することができる。さらに、ゲート電極 15 を構成する SiGe 層 13 全体としての Ge 濃度が低下することがないので、ゲート電極 15 の V_t 調整能力の劣化を抑制することができる。

50 【0089】尚、SiGe 層 13 の成膜に伴って Ge 供給源ガスの比率を高くする場合、Ge 供給源ガスの比率を連続的に高くすることによって、例えば図 3（a）に示すように、SiGe 層 13 中の Ge 濃度を深さ方向に連続的に変化させてもよい。また、Ge 供給源ガスの比率を不連続的に高くすることによって、例えば図 3

(b)に示すように、SiGe層13中のGe濃度を深さ方向に不連続的に変化させてもよい。

【0090】第1の実施形態の変形例によると、第1の実施形態の効果に加えて、次のような効果が得られる。

【0091】すなわち、第1の実施形態の変形例においては、SiGe層13を成膜する工程でSi供給源ガスとGe供給源ガスとの混合比率を経時変化させることによって、SiGe層13の下面近傍部分でのGe濃度を、SiGe層13の下面近傍部分以外の他の部分でのGe濃度と比べて低くする。このため、ゲート電極15のV_t調整能力の劣化を抑制しつつ、ゲート絶縁膜12の耐圧低下若しくは特性変動を防止することができる。

【0092】(第2の実施形態)以下、本発明の第2の実施形態に係る半導体装置及びその製造方法について、図面を参照しながら説明する。

【0093】図4(a)～(d)は第2の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【0094】まず、図4(a)に示すように、一導電型のシリコン基板21上に例えば膜厚3nm程度のゲート絶縁膜22を形成した後、例えばSiH₄等のSi供給源ガスを500℃程度で用いたLPCVD法により、ゲート絶縁膜22の上に例えば膜厚10nmの下部シリコン層(以下、下部Si層と称する)23をアモルファス状態で成膜する。

【0095】次に、図4(b)に示すように、Si供給源ガスとGe供給源ガスとを600℃程度以下で用いたLPCVD法により、下部Si層23上に例えば膜厚100nmのSiGe層24を成膜する。このとき、Si供給源ガスとGe供給源ガスとの混合比率を変化させることによって、SiGe層24中のGe濃度を調整することが可能である。

【0096】次に、図4(c)に示すように、Si供給源ガスを500℃程度で用いたLPCVD法によりSiGe層24上に例えば膜厚40nmの上部シリコン層(以下、上部Si層と称する)25をアモルファス状態で成膜する。

【0097】尚、下部Si層23若しくは上部Si層25の堆積を、SiGe層24の堆積と同一のチャンバーでソースガス等を変化させて連続的に行なってもよいし、下部Si層23若しくは上部Si層25の堆積とSiGe層24の堆積とを互いに異なるチャンバーで連続的に行なってもよいし、又は、下部Si層23若しくは上部Si層25の堆積とSiGe層24の堆積とを互いに異なるチャンバーでそれぞれ完全に独立した工程として行なってもよい。

【0098】その後、図4(c)に示すように、例えば注入エネルギー5keV、ドーズ量 $1 \times 10^{15}/\text{cm}^2$ でボロンをSiGe層24にイオン注入する。

【0099】次に、ゲート電極形成領域を覆うマスクパターン(図示省略)を用いて上部Si層25、SiGe

層24、下部Si層23及びゲート絶縁膜22に対して順次エッチングを行なうことにより、図4(d)に示すように、シリコン基板21上にゲート絶縁膜22を介して、下部Si層23、SiGe層24及び上部Si層25からなるゲート電極26を形成する。

【0100】尚、第2の実施形態においては、上部Si層25の形成後、SiGe層24へのボロン注入が終了するまでは、熱処理を伴う工程を行なわないことによって、上部Si層25をアモルファス状態に保つようにする。これにより、SiGe層24に注入されるボロンがシリコン基板21に突き抜けたり又は該ボロンの注入深さが深くなる事態を防止することができる。但し、SiGe層24へのボロン注入が終了した後は、例えば、ゲート電極26上に層間絶縁膜を堆積する工程等に伴う熱処理によって、上部Si層25は最終的には多結晶状態に変化する。

【0101】以上に説明したように、第2の実施形態によると、シリコン基板21上にゲート絶縁膜22を介して、アモルファス状態の下部Si層23、SiGe層24及びアモルファス状態の上部Si層25を順次成膜した後、SiGe層24にボロンをイオン注入し、その後、下部Si層23、SiGe層24及び上部Si層25をパターン化してゲート電極26を形成する。このため、アモルファス状態の上部Si層25を介してSiGe層24にボロンがイオン注入されるので、ボロンの注入深さを十分に浅くすることができると共にチャネリングによるボロンのシリコン基板21に対する突き抜けを防止することができる。従って、ゲート電極26を構成するSiGe層24にドーブされたボロンが熱処理等によりシリコン基板21にしみ出す事態を防止でき、それによって、シリコン基板21中の不純物濃度の変化に起因する素子特性の変動を抑制することができる。また、ゲート電極26におけるSiGe層24の下側に、SiGe層24よりも表面モフォロジーが良好な下部Si層23が形成されるため、ゲート絶縁膜22の耐圧(以下、絶縁膜耐圧と称する)を確保することができる。具体的には、ゲート絶縁膜22とSiGe層24とが直接接した場合には、ゲート絶縁膜22とSiGe層24との界面に凹凸が生じる結果、該界面に電界集中が発生して絶縁膜耐圧が低下する事態が起きる一方、第2の実施形態においては係る事態を防止することができる。

【0102】また、第2の実施形態によると、ゲート電極26を構成するSiGe層24にボロンをドーブするので、ゲート電極26のV_t調整能力を向上させることができる。

【0103】また、第2の実施形態によると、SiGe層24におけるボロンの活性化率が、通常のポリシリコン膜等におけるボロンの活性化率と比べて高いため、ボロンがシリコン基板21にしみ出す事態をより確実に防止することができる。

【0104】また、第2の実施形態によると、SiGe層24が上部Si層25により覆われているため、SiGe層24から飛び出たGe原子によるクロスコンタミネーションを防止できるので、Siプロセスを利用することができる。

【0105】尚、第2の実施形態において、SiGe層24にボロンをイオン注入したが、これに代えて、リンをイオン注入（例えば注入エネルギー10keV、ドーズ量 $5 \times 10^{15}/\text{cm}^2$ ）してもよいし、又はボロン及びリンをイオン注入してもよい。また、SiGe層24の成膜後にイオン注入を用いてSiGe層24にボロン又はリン等をドーピングする代わりに、SiGe層24の成膜時にSi供給源ガス及びGe供給源ガスと共にボロン若しくはリン等を含むガス（例えば B_2H_6 等）を用いてボロン若しくはリン等を含むSiGe層24を成膜してもよいし、又は、SiGe層24の成膜後に例えばPH₃等の熱拡散を用いてボロン若しくはリン等をSiGe層24にドーピングしてもよい。

【0106】また、第2の実施形態において、SiGe層24に対するボロン等のドーピングを省略してもよい。具体的には、ゲート電極26を構成するSiGe層24中のGe濃度を調整することによりバンドギャップを変化させることができるため、SiGe層24に対してボロン等のドーピングを行なうことなく、ゲート電極26のV_t調整能力を向上させることができる。その結果、本実施形態をデュアルゲートの形成に応用する場合にも、ボロン等の不純物のしみ出しを懸念する必要がない。また、上部Si層25をアモルファス状態で成膜する必要がなくなり、又はボロン等の不純物注入が終了するまで上部Si層25をアモルファス状態に保つ必要がなくなる。

【0107】また、第2の実施形態において、Si供給源ガスとGe供給源ガスとを500℃程度以下で用いたLPCVD法により、SiGe層24をアモルファス状態で成膜することが好ましい。このようにすると、ボロンがシリコン基板21にしみ出す事態をより確実に防止することができる。

【0108】また、第2の実施形態において、SiGe層24を成膜する工程でSi供給源ガスとGe供給源ガスとの混合比率を経時変化させることによって、SiGe層24の下面近傍部分でのGe濃度を、SiGe層24の下面近傍部分以外の他の部分でのGe濃度と比べて低くすることが好ましい。このようにすると、ゲート電極26のV_t調整能力の劣化を抑制しつつ、ゲート絶縁膜22の耐圧低下若しくは特性変動を防止することができる。

【0109】（第2の実施形態の変形例）以下、本発明の第2の実施形態の変形例に係る半導体装置及びその製造方法について、図面を参照しながら説明する。

【0110】第2の実施形態の変形例に係る半導体装置の製造方法が第2の実施形態と異なっている点は次の通

りである。すなわち、第2の実施形態においては、SiGe層24に対するボロン注入を、SiGe層24の形成後にイオン注入を用いて行なったが、第2の実施形態の変形例においては、SiGe層24に対するボロン注入を、SiGe層24の形成時にSi供給源ガス及びGe供給源ガスと共に、例えば B_2H_6 等のボロンを含むガス（以下、B供給源ガス）を用いて行なうことである。

【0111】図5（a）～（d）は第2の実施形態の変形例に係る半導体装置の製造方法の各工程を示す断面図である。

【0112】まず、第2の実施形態の図4（a）に示す工程と同じく図5（a）に示すように、一導電型のシリコン基板21上に例えば膜厚3nm程度のゲート絶縁膜22を形成した後、例えばSiH₄等のSi供給源ガスを500℃程度で用いたLPCVD法により、ゲート絶縁膜22の上に例えば膜厚10nmの下部Si層23をアモルファス状態で成膜する。

【0113】次に、図5（b）に示すように、Si供給源ガスとGe供給源ガスとB供給源ガスとを600℃程度以下で用いたLPCVD法により、下部Si層23上に例えばボロンを含む膜厚100nmのSiGe層24を成膜する。このとき、Si供給源ガスとGe供給源ガスとの混合比率を変化させることによって、SiGe層24中のGe濃度を調整することが可能である。

【0114】次に、第2の実施形態と同じく、図5（c）に示すように、Si供給源ガスを500℃程度で用いたLPCVD法により、SiGe層24上に例えば膜厚40nmの上部Si層25をアモルファス状態で成膜する。

【0115】次に、第2の実施形態と同じく、ゲート電極形成領域を覆うマスクパターン（図示省略）を用いて上部Si層25、SiGe層24、下部Si層23及びゲート絶縁膜22に対して順次エッチングを行なうことにより、図5（d）に示すように、シリコン基板21上にゲート絶縁膜22を介して、下部Si層23、SiGe層24及び上部Si層25からなるゲート電極26を形成する。

【0116】第2の実施形態の変形例によると、第2の実施形態の効果に加えて、次のような効果が得られる。

【0117】すなわち、第2の実施形態の変形例においては、Si供給源ガス及びGe供給源ガスと共にB供給源ガスを用いることにより、ボロンを含むSiGe層24を成膜する。このため、イオン注入を用いることなく、SiGe層24にボロンをドーピングできるので、チャネリングによるボロンのシリコン基板21に対する突き抜けが生じない。従って、ボロンの注入後に行なわれる熱処理等によってボロンがシリコン基板21にしみ出す事態を確実に防止することができる。

【0118】尚、第2の実施形態の変形例において、Si供給源ガス及びGe供給源ガスと共にB供給源ガスを

10

20

30

40

50

用いて、ボロンを含むSiGe層24を形成したが、これに代えて、Si供給源ガス及びGe供給源ガスと共に例えばPH₃等のリンを含むガスを用いて、リンを含むSiGe層を形成してもよいし、又は、Si供給源ガス及びGe供給源ガスと共にボロン及びリンを含むガスを用いて、ボロン及びリンを含むSiGe層を形成してもよい。

【0119】(第3の実施形態)以下、本発明の第3の実施形態に係る半導体装置及びその製造方法について、図面を参照しながら説明する。

【0120】図6(a)～(c)は第3の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【0121】まず、図6(a)に示すように、一導電型のシリコン基板31上に例えば膜厚3nm程度のゲート絶縁膜32を形成する。

【0122】次に、図6(b)に示すように、Si供給源ガスとGe供給源ガスとを500℃程度以下で用いたLPCVD法により、ゲート絶縁膜32の上に例えば膜厚100nm程度のSiGe層33をアモルファス状態で成膜する。このとき、Si供給源ガスとGe供給源ガスとの混合比率を変化させることによって、SiGe層33中のGe濃度を調整することが可能である。その後、例えば注入エネルギー5keV、ドーズ量 $1 \times 10^{15}/\text{cm}^2$ でボロンをSiGe層33にイオン注入する。

【0123】次に、ゲート電極形成領域を覆うマスクパターン(図示省略)を用いてSiGe層33及びゲート絶縁膜32に対して順次エッチングを行なうことにより、図6(c)に示すように、シリコン基板31上にゲート絶縁膜32を介して、SiGe層33からなるゲート電極34を形成する。

【0124】尚、第3の実施形態においては、SiGe層33の形成後、SiGe層33へのボロン注入が終了するまでは、熱処理を伴う工程を行なわないことによって、SiGe層33をアモルファス状態に保つようにする。これにより、SiGe層33に注入されるボロンがシリコン基板31に突き抜けたり又は該ボロンの注入深さが深くなる事態を防止することができる。但し、SiGe層33へのボロン注入が終了した後は、例えば、ゲート電極34上に層間絶縁膜を堆積する工程等に伴う熱処理によって、SiGe層33は最終的には多結晶状態に変化する。

【0125】以上に説明したように、第3の実施形態によると、シリコン基板31上にゲート絶縁膜32を介してアモルファス状態のSiGe層33を成膜した後、SiGe層33にボロンをイオン注入し、その後、SiGe層33をパターン化してゲート電極34を形成する。このため、アモルファス状態のSiGe層33にボロンがイオン注入されるので、ボロンの注入深さを十分に浅くできると共にチャネリングによるボロンの

シリコン基板31に対する突き抜けを防止することができる。従って、ゲート電極34を構成するSiGe層33にドーブされたボロンが熱処理等によりシリコン基板31にしみ出す事態を防止でき、それによって、シリコン基板31中の不純物濃度の変化に起因する素子特性の変動を抑制することができる。また、SiGe層33は多結晶状態のときよりもアモルファス状態のときの方が表面モフォロジーが良好になるので、SiGe層33におけるゲート絶縁膜32との界面近傍の表面モフォロジーが良好になる結果、ゲート絶縁膜32の耐圧が向上する。さらに、ゲート電極34がSiGe層33のみにより構成されるため、積層構造を有するゲート電極を形成する場合と比べて工程を簡単にすることができると共に、ゲート電極34の膜厚を例えば100nm以下に薄膜化することができる。

【0126】また、第3の実施形態によると、ゲート電極34を構成するSiGe層33にボロンをドーブするので、ゲート電極34のV_t調整能力を向上させることができる。

【0127】また、第3の実施形態によると、SiGe層33におけるボロンの活性化率が、通常のポリシリコン膜等におけるボロンの活性化率と比べて高いため、ボロンがシリコン基板31にしみ出す事態をより確実に防止することができる。

【0128】尚、第3の実施形態において、SiGe層33にボロンをイオン注入したが、これに代えて、リンをイオン注入(例えば注入エネルギー10keV、ドーズ量 $5 \times 10^{15}/\text{cm}^2$)してもよいし、又はボロン及びリンをイオン注入してもよい。また、SiGe層33の成膜後にイオン注入を用いてSiGe層33にボロン又はリン等をドーブする代わりに、SiGe層33の成膜時にSi供給源ガス及びGe供給源ガスと共にボロン若しくはリン等を含むガス(例えばB₂H₆等)を用いてボロン若しくはリン等を含むSiGe層33を成膜してもよいし、又は、SiGe層33の成膜後に例えばPH₃等の熱拡散を用いてSiGe層33にボロン若しくはリン等をドーブしてもよい。

【0129】また、第3の実施形態において、SiGe層33に対するボロン等のドーブを省略してもよい。具体的には、ゲート電極34となるSiGe層33中のGe濃度を調整することによりバンドギャップを変化させることができるため、SiGe層33に対してボロン等のドーブを行なうことなく、ゲート電極34のV_t調整能力を向上させることができる。その結果、本実施形態をデュアルゲートの形成に応用する場合にも、ボロン等の不純物のしみ出しを懸念する必要がない。また、SiGe層33をアモルファス状態で成膜する必要がなくなり、又はボロン等の不純物注入が終了するまでSiGe層33をアモルファス状態に保つ必要がなくなる。

【0130】また、第3の実施形態において、SiGe

層 33 を成膜する工程で Si 供給源ガスと Ge 供給源ガスとの混合比率を経時変化させることによって、SiGe 層 33 の下面近傍部分での Ge 濃度を、SiGe 層 33 の下面近傍部分以外の他の部分での Ge 濃度と比べて低くすることが好ましい。このようにすると、ゲート電極 34 の V_t 調整能力の劣化を抑制しつつ、ゲート絶縁膜 32 の耐圧低下若しくは特性変動を防止することができる。

【0131】また、第 3 の実施形態において、ゲート電極 34 における SiGe 層 33 の上に上部シリコン層を形成してもよいし、ゲート電極 34 における SiGe 層 33 の下に下部シリコン層を形成してもよい。

【0132】（第 3 の実施形態の変形例）以下、本発明の第 3 の実施形態の変形例に係る半導体装置及びその製造方法について、図面を参照しながら説明する。

【0133】第 3 の実施形態の変形例に係る半導体装置の製造方法が第 3 の実施形態と異なっている点は、ゲート電極 34 の形成後に、ゲート電極 34 上にシリコン窒化膜を堆積する工程を備えていることである。

【0134】図 7 (a) ~ (e) は第 3 の実施形態の変形例に係る半導体装置の製造方法の各工程を示す断面図である。

【0135】まず、第 3 の実施形態の図 6 (a) に示す工程と同じく図 7 (a) に示すように、一導電型のシリコン基板 31 上に例えば膜厚 3 nm 程度のゲート絶縁膜 32 を形成する。

【0136】次に、第 3 の実施形態の図 6 (b) に示す工程と同じく図 7 (b) に示すように、Si 供給源ガスと Ge 供給源ガスとを 500℃ 程度以下で用いた LPCVD 法により、ゲート絶縁膜 32 の上に例えば膜厚 100 nm 程度の SiGe 層 33 をアモルファス状態で成膜する。このとき、Si 供給源ガスと Ge 供給源ガスとの混合比率を変化させることによって、SiGe 層 33 中の Ge 濃度を調整することが可能である。具体的には、第 3 の実施形態の変形例においては、SiGe 層 33 中の Ge 濃度を 20% 程度に設定する。その後、例えば注入エネルギー 5 keV、ドーズ量 $1 \times 10^{15} / \text{cm}^2$ でボロンを SiGe 層 33 にイオン注入する。

【0137】次に、第 3 の実施形態と同じく、ゲート電極形成領域を覆うマスクパターン（図示省略）を用いて SiGe 層 33 及びゲート絶縁膜 32 に対して順次エッチングを行なうことにより、図 7 (c) に示すように、シリコン基板 31 上にゲート絶縁膜 32 を介して、SiGe 層 33 からなるゲート電極 34 を形成する。その後、例えばゲート電極 34 をマスクとして用いるイオン注入により、シリコン基板 31 に不純物をドーピングして、ソース領域又はドレイン領域となる不純物拡散層 35 を形成する。

【0138】次に、図 7 (d) に示すように、ゲート電極 34 の上を含むシリコン基板 31 の上に、例えば膜厚

50 nm 程度のシリコン酸化膜 36 を堆積した後、図 7 (e) に示すように、シリコン酸化膜 36 の上に例えば膜厚 100 nm 程度のシリコン窒化膜 37 を堆積する。

【0139】次に、図示は省略しているが、シリコン窒化膜 37 の上に層間絶縁膜を堆積した後、シリコン酸化膜 36、シリコン窒化膜 37 及び層間絶縁膜に、該層間絶縁膜上に形成される配線と不純物拡散層 35 とを接続するコンタクトを形成する。このとき、シリコン窒化膜 37 は、コンタクトホールを形成するために層間絶縁膜に対して行なわれるエッチングのストッパーとして機能する。

【0140】第 3 の実施形態の変形例によると、第 3 の実施形態の効果に加えて、次のような効果が得られる。

【0141】一般に、ボロンがドーピングされたゲート電極の形成後にゲート電極上にシリコン窒化膜を堆積して熱処理（例えば層間絶縁膜の堆積に伴う熱処理等）を行なうと、シリコン窒化膜を堆積することなく熱処理を行なう場合と比べて、ゲート電極中のボロンが半導体基板に著しくしみ出す。

【0142】それに対して、第 3 の実施形態の変形例においては、アモルファス状態の SiGe 層 33 にボロンがイオン注入されるので、ボロンの注入深さを十分に浅くすることができると共にチャネリングによるボロンのシリコン基板 31 に対する突き抜けを防止することができる。従って、SiGe 層 33 からなるゲート電極 34 上にシリコン窒化膜 37 が堆積されていても、ゲート電極 34 中のボロンが熱処理によりシリコン基板 31 にしみ出す事態を防止できる。

【0143】尚、第 3 の実施形態の変形例において、シリコン窒化膜 37 の上に層間絶縁膜を堆積した後、シリコン窒化膜 37 を層間絶縁膜に対するエッチングのストッパーとして用いたが、これに代えて、ゲート電極 34 の側面にシリコン窒化膜 37 からなるサイドウォールを形成してもよい。具体的には、図 7 (e) に示す工程でゲート電極 34 の上にシリコン酸化膜 36 を介してシリコン窒化膜 37 を堆積した後、図 8 に示すように、シリコン窒化膜 37 をエッチバックして、ゲート電極 34 の側面にシリコン酸化膜 36 を介して、シリコン窒化膜 37 からなるサイドウォール 37A を形成してもよい。このようにすると、LDD 構造を有する MOS トランジスタを形成することができる。

【0144】また、第 3 の実施形態の変形例において、SiGe 層 33 にボロンをドーピングするためのイオン注入と、不純物拡散層 35 を形成するためのイオン注入とを別々の工程で行なったが、これに代えて、ゲート電極 34 の形成後に、両方のイオン注入を同一の工程で行なってもよい。

【0145】（第 4 の実施形態）以下、本発明の第 4 の実施形態に係る半導体装置及びその製造方法について、図面を参照しながら説明する。

【0146】図9(a)～(e)は第4の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【0147】まず、図9(a)に示すように、一導電型のシリコン基板41上に例えば膜厚3nm程度のゲート絶縁膜42を形成する。

【0148】次に、図9(b)に示すように、Si供給源ガスとGe供給源ガスとを500℃程度以下で用いたLPCVD法により、ゲート絶縁膜42の上に例えば膜厚100nm程度のSiGe層43をアモルファス状態で成膜する。このとき、Si供給源ガスとGe供給源ガスとの混合比率を変化させることによって、SiGe層43中のGe濃度を調整することが可能である。具体的には、第4の実施形態においては、SiGe層43中のGe濃度を20%程度に設定する。その後、例えば注入エネルギー5keV、ドーズ量 $1 \times 10^{15} / \text{cm}^2$ でボロンをSiGe層43にイオン注入する。

【0149】次に、図9(c)に示すように、SiGe層43上に例えばタングステンからなる膜厚50nm程度の金属層44を形成した後、図9(d)に示すように、金属層44上に、例えば膜厚50nm程度のシリコン酸化膜45及び例えば膜厚100nm程度のシリコン窒化膜46を順次形成する。

【0150】次に、ゲート電極形成領域を覆うレジストパターン(図示省略)を用いてシリコン窒化膜46及びシリコン酸化膜45に対して順次エッチングを行なった後、パターン化されたシリコン窒化膜46及びシリコン酸化膜45をハードマスクとして、金属層44、SiGe層43及びゲート絶縁膜42に対して順次エッチングを行なうことにより、図9(e)に示すように、シリコン基板41上にゲート絶縁膜42を介して、SiGe層43及び金属層44からなるポリメタルゲート電極47を形成する。

【0151】尚、第4の実施形態においては、SiGe層43の形成後、SiGe層43へのボロン注入が終了するまでは、熱処理を伴う工程を行なわないことによって、SiGe層43をアモルファス状態に保つようにする。これにより、SiGe層43に注入されるボロンがシリコン基板41に突き抜けたり又は該ボロンの注入深さが深くなる事態を防止することができる。但し、SiGe層43へのボロン注入が終了した後は、例えば、ポリメタルゲート電極47上に層間絶縁膜を堆積する工程等に伴う熱処理によって、SiGe層43は最終的には多結晶状態に変化する。

【0152】以上に説明したように、第4の実施形態によると、シリコン基板41上にゲート絶縁膜42を介してアモルファス状態のSiGe層43を成膜した後、SiGe層43にボロンをイオン注入し、その後、SiGe層43上に金属層44を堆積した後、SiGe層43及び金属層44をパターン化してポリメタルゲート電極47を形成する。このため、アモルファス状態のSiGe層43にボロンがイオン注入されるので、ボロンの注

入深さを十分に浅くすることができると共にチャネリングによるボロンのシリコン基板41に対する突き抜けを防止することができる。従って、ポリメタルゲート電極47を構成するSiGe層43にドーパされたボロンが熱処理等によりシリコン基板41にしみ出す事態を防止でき、それによって、シリコン基板41中の不純物濃度の変化に起因する素子特性の変動を抑制することができる。また、SiGe層43は多結晶状態のときよりもアモルファス状態のときの方が表面モフォロジーが良好になるので、SiGe層43におけるゲート絶縁膜42との界面近傍の表面モフォロジーが良好になる結果、ゲート絶縁膜42の耐圧が向上する。

【0153】また、第4の実施形態によると、ポリメタルゲート電極47を構成するSiGe層43にボロンをドーパするので、ポリメタルゲート電極47のVt調整能力を向上させることができる。

【0154】また、第4の実施形態によると、SiGe層43におけるボロンの活性化率が、通常のポリシリコン膜等におけるボロンの活性化率と比べて高いため、ボロンがシリコン基板41にしみ出す事態をより確実に防止することができる。

【0155】ところで、一般に、ゲート電極を構成する材料膜を形成してボロンを注入した後に該材料膜上にシリコン窒化膜を堆積して熱処理(例えばゲート電極形成後に行なわれる層間絶縁膜の堆積に伴う熱処理等)を行なうと、シリコン窒化膜を堆積することなく熱処理を行なう場合と比べて、ゲート電極を構成する材料膜中のボロンが半導体基板に著しくしみ出す。

【0156】それに対して、第4の実施形態においては、アモルファス状態のSiGe層43にボロンがイオン注入されるので、ボロンの注入深さを十分に浅くすることができると共にチャネリングによるボロンのシリコン基板41に対する突き抜けを防止することができる。従って、SiGe層43を有するポリメタルゲート電極47上にシリコン窒化膜46が堆積されていても、SiGe層43中のボロンが熱処理によりシリコン基板41にしみ出す事態を防止できる。

【0157】また、第4の実施形態によると、SiGe層43を有するポリメタルゲート電極47上にシリコン酸化膜45を介してシリコン窒化膜46が堆積されているため、SiGe層43中のボロンが熱処理によってシリコン基板41にしみ出す事態をより確実に防止することができる。

【0158】尚、第4の実施形態において、SiGe層43にボロンをイオン注入したが、これに代えて、リンをイオン注入(例えば注入エネルギー10keV、ドーズ量 $5 \times 10^{15} / \text{cm}^2$)してもよいし、又はボロン及びリンをイオン注入してもよい。また、SiGe層43の成膜後にイオン注入を用いてSiGe層43にボロン

又はリン等をドーピングする代わりに、SiGe層43の形成時にSi供給源ガス及びGe供給源ガスと共にボロン若しくはリン等を含むガス（例えばB₂H₆等）を用いてボロン若しくはリン等を含むSiGe層43を成膜してもよいし、又は、SiGe層43の成膜後に例えばPH₃等の熱拡散を用いてSiGe層43にボロン若しくはリン等をドーピングしてもよい。

【0159】また、第4の実施形態において、SiGe層43に対するボロン等のドーピングを省略してもよい。具体的には、ポリメタルゲート電極47を構成するSiGe層43中のGe濃度を調整することによりバンドギャップを変化させることができるため、SiGe層43に対してボロン等のドーピングを行なうことなく、ポリメタルゲート電極47のV_t調整能力を向上させることができる。その結果、本実施形態をデュアルゲートの形成に応用する場合にも、ボロン等の不純物のしみ出しを懸念する必要がない。また、SiGe層43をアモルファス状態で成膜する必要がなくなり、又はボロン等の不純物注入が終了するまでSiGe層43をアモルファス状態に保つ必要がなくなる。

【0160】また、第4の実施形態において、SiGe層43を成膜する工程でSi供給源ガスとGe供給源ガスとの混合比率を経時変化させることによって、SiGe層43の下面近傍部分でのGe濃度を、SiGe層43の下面近傍部分以外の他の部分でのGe濃度と比べて低くすることが好ましい。このようにすると、ポリメタルゲート電極47のV_t調整能力の劣化を抑制しつつ、ゲート絶縁膜42の耐圧低下若しくは特性変動を防止することができる。

【0161】また、第4の実施形態において、ポリメタルゲート電極47におけるSiGe層43と金属層44との間に上部シリコン層を形成してもよいし、ポリメタルゲート電極47におけるSiGe層43の下に下部シリコン層を形成してもよい。

【0162】また、第4の実施形態において、金属層44上にシリコン酸化膜45（例えば膜厚50nm程度）及びシリコン窒化膜46（例えば膜厚100nm程度）を形成したが、これに代えて、金属層44上にシリコン窒化膜46（例えば膜厚150nm程度）のみを形成してもよい。

【0163】（第5の実施形態）以下、本発明の第5の実施形態に係る半導体装置及びその製造方法について、図面を参照しながら説明する。

【0164】第5の実施形態に係る半導体装置の製造方法の特徴は、第1～第4の実施形態に係る半導体装置の製造方法のいずれかを用いて、デュアルゲートCMOSFETを形成することである。

【0165】図10（a）、（b）は第5の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【0166】まず、図10（a）に示すように、シリコン基板51の表面部に素子分離52により区画されたn型半導体領域51a及びp型半導体領域51bを形成する。

【0167】次に、第1～第4の実施形態に係る半導体装置の製造方法のいずれかを用いて、図10（b）に示すように、n型半導体領域51aの上にゲート絶縁膜53を介して、例えばボロン等のp型不純物がドーピングされたSiGe層を有するp+ゲート電極54aを形成すると共に、p型半導体領域51bの上にゲート絶縁膜53を介して、例えばリン等のn型不純物がドーピングされたSiGe層を有するn+ゲート電極54bを形成する。

【0168】その後、図示は省略しているが、n型半導体領域51aにp型不純物拡散層からなるソース領域及びドレイン領域を形成すると共に、p型半導体領域51bにn型不純物拡散層からなるソース領域及びドレイン領域を形成することによって、pチャネルMOSFETとnチャネルMOSFETとが並置されたデュアルゲートCMOSFETを形成する。

【0169】ところで、デュアルゲートCMOSFETの形成において一般に問題となるのは、デュアルゲートCMOSFETのうちのpチャネルMOSFETのp+ゲート電極にドーピングされたボロンが半導体基板にしみ出すことである。

【0170】それに対して、第5の実施形態によると、第1～第4の実施形態に係る半導体装置の製造方法のいずれかを用いて、デュアルゲートCMOSFETのうちのpチャネルMOSFETのp+ゲート電極54aを形成するため、p+ゲート電極54aにドーピングされたボロン等の不純物がシリコン基板51にしみ出す事態を防止でき、それによって、シリコン基板51中の不純物濃度の変化に起因する素子特性の変動を抑制することができる。

【0171】また、第5の実施形態によると、第1～第4の実施形態に係る半導体装置の製造方法のいずれかを用いて、デュアルゲートCMOSFETのうちのnチャネルMOSFETのn+ゲート電極54bを形成するため、n+ゲート電極54bにドーピングされたリン等の不純物がシリコン基板51にしみ出す事態を防止でき、それによって、シリコン基板51中の不純物濃度の変化に起因する素子特性の変動を抑制することができる。

【0172】尚、第5の実施形態において、p+ゲート電極54aを構成するSiGe層に対するボロン等のドーピングを省略してもよい。具体的には、SiGe層のGe濃度を調整することによりバンドギャップを変化させることができるため、SiGe層に対してボロン等のドーピングを行なうことなく、p+ゲート電極54aのV_t調整能力を向上させることができる。同様に、第5の実施形態において、n+ゲート電極54bを構成するSiGe層に対するリン等のドーピングを省略してもよい。すなわ

ち、第5の実施形態によると、p+ゲート電極54a又はn+ゲート電極54bに不純物をドーピングする必要がなくなる。従って、p+ゲート電極54a又はn+ゲート電極54bを構成するSiGe層におけるGe濃度を調整するだけで、不純物のシリコン基板51に対する突き抜け又はしみ出しを防止しつつ、デュアルゲートCMOSFETを簡単に形成することができる。

【0173】また、第5の実施形態において、第1～第4の実施形態に係る半導体装置の製造方法のいずれかを用いて、p+ゲート電極54a及びn+ゲート電極54bを形成したが、これに代えて、第1～第4の実施形態に係る半導体装置の製造方法のいずれかを用いて、p+ゲート電極54a及びn+ゲート電極54bのうちのいずれか一方のみを形成してもよい。

【0174】

【発明の効果】本発明によると、不純物の注入深さを十分に浅くすることができると共にチャネリングによる不純物の半導体基板に対する突き抜けを防止することができるため、ゲート電極にドーピングされた不純物が熱処理等により半導体基板にしみ出す事態を防止でき、それによ

って、半導体基板中の不純物濃度の変化に起因する素子特性の変動を抑制することができる。

【0175】また、本発明によると、ゲート電極を構成するシリコンゲルマニウム層中のゲルマニウム濃度を調整してバンドギャップを変化させることにより、ゲート電極のしきい値電圧調整能力を向上させることができる。このため、ゲート電極に不純物をドーピングする必要がなくなるので、ゲート電極から半導体基板への不純物のしみ出しに起因して素子特性が変動する事態を確実に回避することができる。

【図面の簡単な説明】

【図1】(a)～(d)は本発明の第1の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図2】本発明の第1の実施形態に係る半導体装置における、SiGe層の膜厚の変化に伴うゲート電極のフラットバンド電圧の変化の様子を示す図である。

【図3】(a)は本発明の第1の実施形態の変形例に係る半導体装置における、SiGe層中のGe濃度が深さ方向に連続的に変化する様子を示す図であり、(b)は本発明の第1の実施形態の変形例に係る半導体装置における、SiGe層中のGe濃度が深さ方向に不連続的に変化する様子を示す図である。

【図4】(a)～(d)は本発明の第2の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図5】(a)～(d)は本発明の第2の実施形態の変形例に係る半導体装置の製造方法の各工程を示す断面図である。

【図6】(a)～(c)は本発明の第3の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図7】(a)～(e)は本発明の第3の実施形態の変形例に係る半導体装置の製造方法の各工程を示す断面図である。

【図8】本発明の第3の実施形態の変形例に係る半導体装置の断面図である。

【図9】(a)～(e)は本発明の第4の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

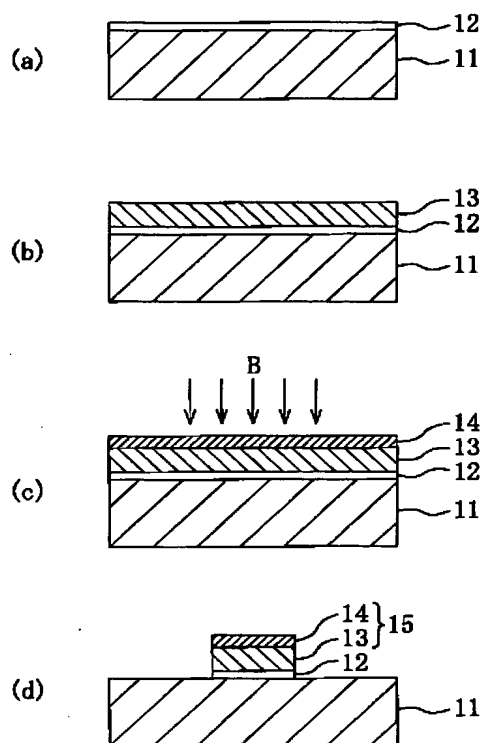
10 【図10】(a)、(b)は第5の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図11】従来の半導体装置の断面図である。

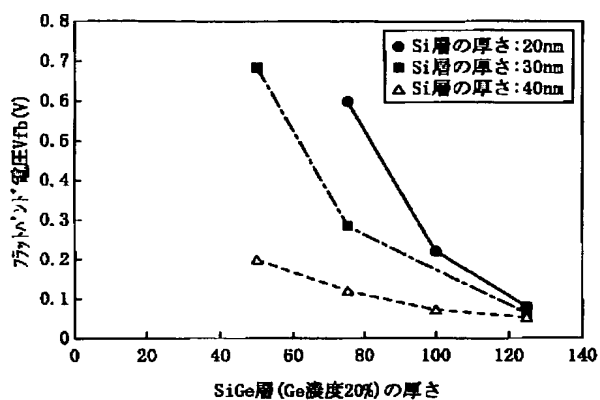
【符号の説明】

- 11 シリコン基板
- 12 ゲート絶縁膜
- 13 SiGe層
- 14 Si層
- 15 ゲート電極
- 21 シリコン基板
- 20 22 ゲート絶縁膜
- 23 下部Si層
- 24 SiGe層
- 25 上部Si層
- 26 ゲート電極
- 31 シリコン基板
- 32 ゲート絶縁膜
- 33 SiGe層
- 34 ゲート電極
- 35 不純物拡散層
- 30 36 シリコン酸化膜
- 37 シリコン窒化膜
- 37A サイドウォール
- 41 シリコン基板
- 42 ゲート絶縁膜
- 43 SiGe層
- 44 金属層
- 45 シリコン酸化膜
- 46 シリコン窒化膜
- 47 ポリメタルゲート電極
- 40 51 シリコン基板
- 51a n型半導体領域
- 51b p型半導体領域
- 52 素子分離
- 53 ゲート絶縁膜
- 54a p+ゲート電極
- 54b n+ゲート電極

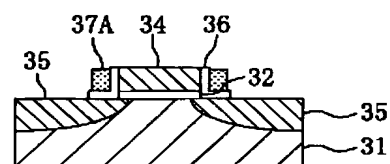
【図1】



【図2】

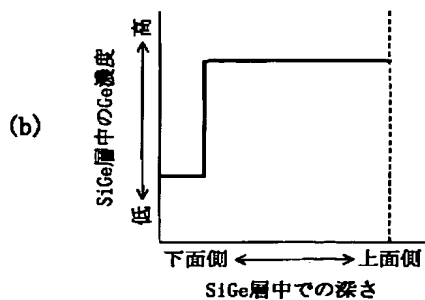
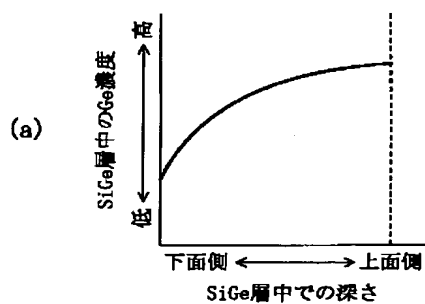


【図8】

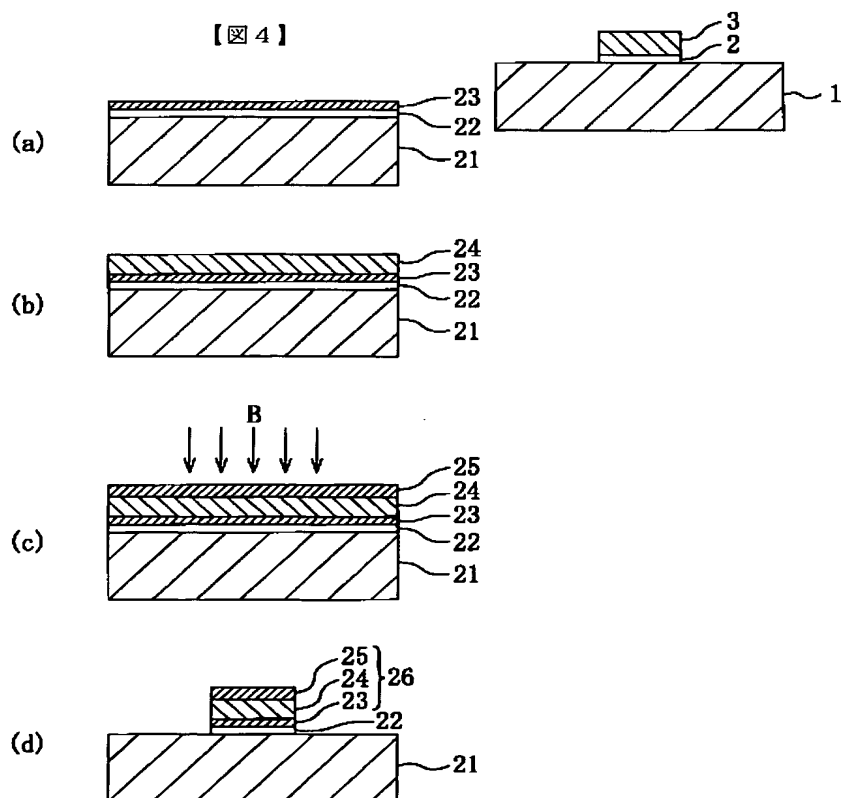


【図11】

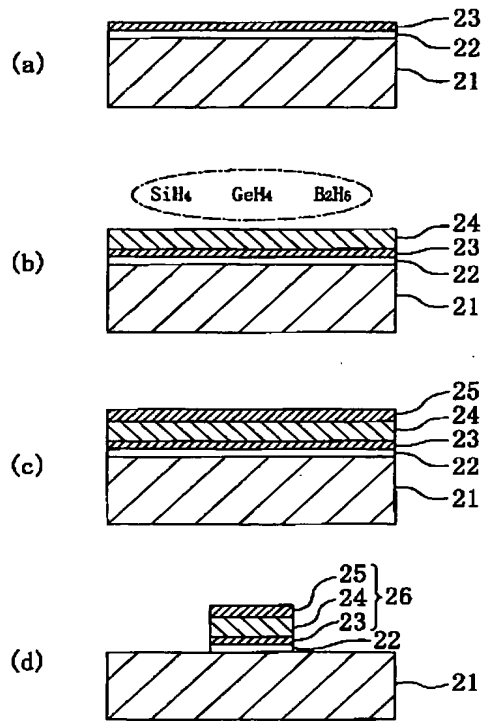
【図3】



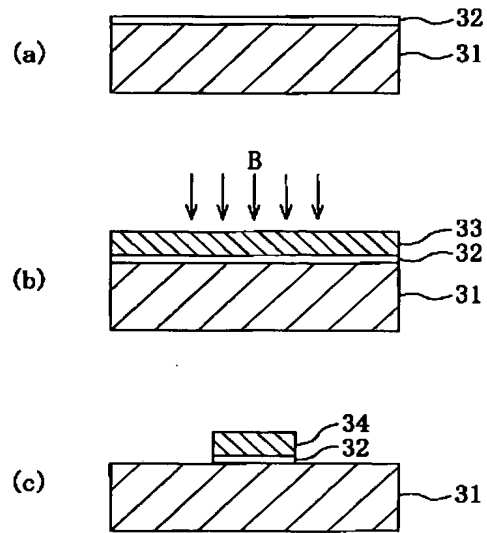
【図4】



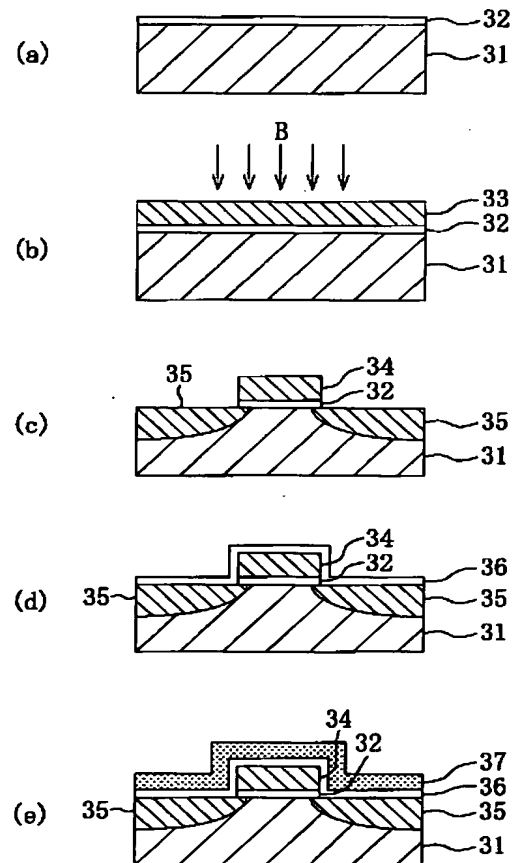
【図 5】



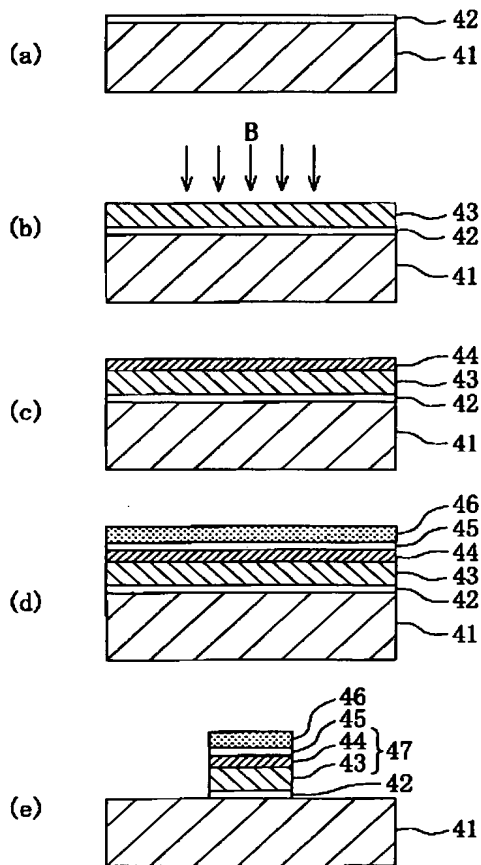
【図 6】



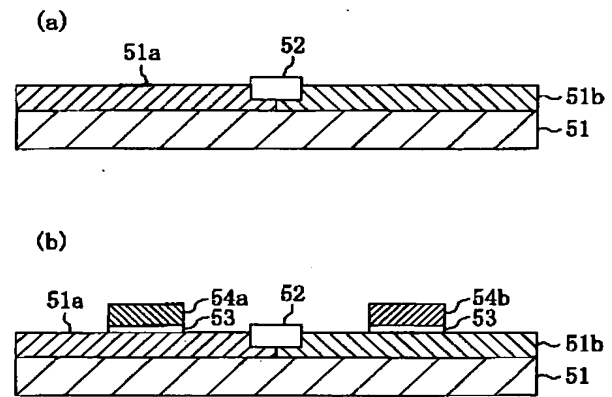
【図 7】



【図9】



【図10】



フロントページの続き

Fターム(参考) 4M104 AA01 BB01 BB38 BB40 CC05
 DD04 DD26 DD43 DD55 DD63
 DD78 EE17 FF13 GG09 GG10
 HH10
 5F040 DA06 DA19 DB03 EC01 EC04
 EC05 EC07 EC11 EC12 FA05
 FA07 FA10 FA12 FC11
 5F048 AA07 AA09 AC03 BB04 BB12
 BB14 BC06 BE03 BG12 DA25
 DA27 DA30